

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 969 510 A2

(12)

EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:
05.01.2000 Patentblatt 2000/01

(51) Int. Cl.⁷: H01L 25/065, H01L 25/07

(21) Anmeldenummer: 99112071.8

(22) Anmeldetag: 23.06.1999

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(30) Priorität: 30.06.1998 DE 19829121

(71) Anmelder:
Micronas Intermetall GmbH
79108 Freiburg (DE)

(72) Erfinder:
• Sieben, Ulrich, Dr.Dipl.Phys.
79276 Reute (DE)
• Igel, Günter, Dipl.-Ing.
79331 Teningen (DE)
• Lehmann, Mirko, Dipl.Phys.
79117 Freiburg (DE)

• Gahle, Hans-Jürgen, Dr.
79312 Emmendingen (DE)
• Wolf, Bernhard, Prof.Dr.
79252 Stegen (DE)
• Baumann, Werner, Dr.
79199 Freiburg (DE)
• Ehret, Ralf, Dr.
79291 Merdingen (DE)

(74) Vertreter:
Schmitt, Hans, Dipl.-Ing. et al
Patentanwälte,
Dipl.-Ing. Hans Schmitt,
Dipl.-Ing. Wolfgang Maucher,
Dipl.-Ing. RA H. Börjes-Pestalozza,
Dreikönigstrasse 13
79102 Freiburg (DE)

(54) Chip-Anordnung

(57) Eine Chip-Anordnung (1) hat eine Substratplatte (2), die einen Durchbruch (3) aufweist, in den ein Trägerchip (4) eingesetzt ist, der ein elektrisches oder elektronisches Bauelement (5) aufweist. In den Trägerchip (4) ist wenigstens eine Leiterbahn (7) integriert, die das Bauelement (5) mit dem elektrischen Anschlußkontakt (8) verbindet. Der Trägerchip (4) ist derart in den Durchbruch (3) eingesetzt, daß er mit seinen Enden die einander abgewandten flachseitigen Oberflächen (9, 9') der Substratplatte (2) überragt und dadurch Überstände

(10, 10') bildet. Dabei ist an dem die eine Oberfläche (9) überragenden Überstand (10) das Bauelement und an dem die andere Oberfläche (9') überragenden Überstand (10') der Anschlußkontakt (8) angeordnet und die das Bauelement (5) und den Anschlußkontakt (8) miteinander verbindende Leiterbahn (7) durchsetzt den Durchbruch (3). Zwischen der Substratplatte (2) und dem Trägerchip (4) ist eine Abdichtung angeordnet.

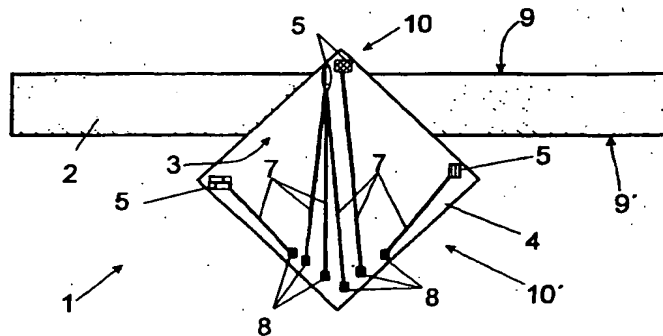


Fig. 3

Beschreibung

[0001] Die Erfindung betrifft eine Chip-Anordnung mit einer Substratplatte, die wenigstens einen Durchbruch aufweist, in den ein Trägerchip eingesetzt ist, der an einer Trägerchip-Oberfläche wenigstens eine integrierte Leiterbahn aufweist, die wenigstens ein elektrisches oder elektronisches Bauelement, insbesondere einen Sensor, mit zumindest einem elektrischen Anschlußkontakt verbindet.

[0002] Eine solche Chip-Anordnung ist durch offenkundige Vorbenutzung am Markt bekannt geworden. Sie wird zur Untersuchung von biologischen Zellen verwendet, die in einem Nährmedium an der Oberfläche der Substratplatte und des darin eingesetzten Trägerchips angelagert sind. In den Trägerchip der vorbekannten Chip-Anordnung ist ein Sensor integriert, mit dem Meßsignale an den Zellen oder dem Nährmedium abgegriffen und über Leiterbahnen an eine Meß- und Auswerteeinrichtung weitergeleitet werden können. Damit die Chip-Anordnung in der Praxis gut handhabbar ist, hat es sich als zweckmäßig erwiesen, wenn sie eine gewisse Mindestgröße aufweist und beispielsweise als im wesentlichen rechteckiges Plättchen mit einer Größe von 2,5 x 3 cm ausgebildet ist. Da Halbleiterchips dieser Größe in der Herstellung relativ teuer sind, wird bei der vorbekannten Chip-Anordnung ein den Sensor aufweisender Trägerchip in eine Substratplatte aus Glas eingesetzt. Dadurch ist die Chip-Anordnung gut handhabbar und dennoch können die Abmessungen des Trägerchips relativ klein gewählt werden, so daß die Chip-Anordnung entsprechend kostengünstig herstellbar ist. Bei der vorbekannten Chip-Anordnung ist der Trägerchip so in den in der Substratplatte befindlichen Durchbruch eingesetzt, daß die die Leiterbahnen aufweisende Oberfläche des Trägerchips im wesentlichen bündig an eine ebenfalls Leiterbahnen aufweisende flachseitige Oberflächen der Substratplatte anschließt. Dabei sind die Leiterbahnen des Trägerchips mittels Bondverbindungen mit denjenigen der Substratplatte verbunden. Die Leiterbahnen der Substratplatte führen zu Anschlußkontakten, die mit einer Meß- und Auswertevorrichtung verbindbar sind. Im Bereich der Bondverbindungen der Leiterbahnen sind jeweils Bondpads an dem Trägerchip und an der Substratplatte angeordnet. Damit die Leiterbahnen des Trägerchips gegen ein zu untersuchendes Medium, beispielsweise ein Nährmedium mit biologischen Zellen, elektrisch isoliert sind, sind sie mit einer Passivierungsschicht abgedeckt, die bei der Fertigung des Trägerchips mittels Maskentechnik aufgebracht wird. Da die Bondpads beim Anbringen der den Trägerchip mit der Substratplatte verbindenden Bondverbindungen zugänglich sein müssen, weist die Passivierungsschicht im Bereich der Bondpads jeweils eine Aussparung auf. Die Bondpads werden deshalb nach dem Anbringen der Bondverbindungen in eine elektrisch isolierende Kunststoffmasse eingegossen, welche die

Bondpads und die daran angebrachten Bondverbindungen umschließt. Diese Abdichtung der Bondpads mit Kunststoff hat sich jedoch in der Praxis als wenig zuverlässig erwiesen, da das in Gebrauchsstellung der Chip-Anordnung im Bereich des Sensors befindliche Nährmedium für die zu untersuchenden Zellen Ionen und Salze enthält, welche die Kunststoffmasse unterwandern können. Dabei bildet sich zwischen der Kunststoffmasse und der Substratplatte ein Spalt, durch den die Ionen bzw. Salze zu den Bondpads gelangen können. Dadurch besteht einerseits die Gefahr, daß sich zwischen den Bondpads und dem Nährmedium Kriechströme bilden, welche die Meßsignale verfälschen, und andererseits verursachen die in dem Nährmedium enthaltenen Salze und Ionen aber auch Korrosion an den Bondpads, was die Lebensdauer der Chip-Anordnung reduziert.

[0003] Aus JP 71 03 394 A ist auch bereits eine Chip-Anordnung bekannt, bei welcher der Trägerchip mit seiner dem elektrischen Bauelement abgewandten Rückseite plan auf der flachseitigen Oberfläche einer Substratplatte aufliegt und mit dieser verbunden ist. Dabei erfolgt die elektrische Verbindung zwischen dem Trägerchip und der Substratplatte mittels einer die Substratplatte durchsetzenden Durchkontaktierung, die von der Rückseite des Trägerchips zu der dem Trägerchip abgewandten rückseitigen Flachseite der Substratplatte führt. Die Verbindungsleitungen zu einer Meß- und Auswertevorrichtung können also an der dem zu untersuchenden Medium abgewandten Rückseite der Substratplatte angeschlossen werden, wodurch eine Korrosionsbildung an Bondpads und/oder Leiterbahnen vermieden wird. Ungünstig ist dabei jedoch, daß die Durchkontaktierung nur mit relativ großem fertigungstechnischem Aufwand zu realisieren ist, weshalb die Herstellung der Chip-Anordnung vergleichsweise zeitaufwendig und teuer ist.

[0004] Es besteht deshalb die Aufgabe, eine Chip-Anordnung der eingangs genannten Art zu schaffen, die eine gute Korrosionsbeständigkeit gegenüber einem mit dem elektrischen oder elektronischen Bauelement zu untersuchenden oder zu behandelnden Medium aufweist und die dennoch einfach und kostengünstig herstellbar ist.

[0005] Die Lösung dieser Aufgabe besteht darin, daß der Trägerchip derart in den Durchbruch eingesetzt ist, daß er mit seinen Enden die einander abgewandten flachseitigen Oberflächen der Substratplatte überragt und dadurch Überstände bildet, daß an dem die eine Oberfläche überragenden Überstand das Bauelement und an dem die andere Oberfläche überragenden Überstand der Anschlußkontakt angeordnet ist, daß die das Bauelement und den Anschlußkontakt miteinander verbindende Leiterbahn den Durchbruch der Substratplatte durchsetzt, und daß zwischen der Substratplatte und dem Trägerchip eine Abdichtung vorgesehen ist.

[0006] Der Trägerchip ist also mit seiner Chipebene quer zur Erstreckungsebene der Substratplatte ange-

ordnet und durchsetzt diese, so daß an den beiden einander abgewandten Oberflächen der Substratplatte jeweils ein Teilbereich des Trägerchips über die jeweilige Oberfläche der Substratplatte vorsteht und dort einen Überstand bildet. Dabei ist das elektrische oder elektronische Bauelement an dem an der einen Substratplatten-Oberfläche befindlichen Überstand und der damit über die in dem Trägerchip integrierte Leiterbahn verbundene Anschlußkontakt an dem an der anderen Substratplatten-Oberfläche befindlichen Überstand angeordnet. Der Anschlußkontakt befindet sich also an der dem elektrischen oder elektronischen Bauelement abgewandten Rückseite der Substratplatte, so daß die im Bereich des das Bauelement aufweisenden Überstands befindlichen Leiterbahnbereiche vollständig mit einer Passivierungsschicht abgedeckt werden können. Eine solche Passivierungsschicht kann beispielsweise in Dünnschichttechnologie mit großer Genauigkeit und Feuchtigkeitsfestigkeit hergestellt werden, so daß eine Korrosion an der in den Trägerchip integrierten Leiterbahn durch das mit dem elektrischen oder elektronischen Bauelement zu untersuchenden oder zu behandelnden Medium weitestgehend vermieden wird. Die zwischen dem Trägerchip und der Substratplatte angeordnete Abdichtung verhindert, daß das an der Vorderseite der Substratplatte befindliche Medium zu dem an der Rückseite der Substratplatte angeordneten Anschlußkontakt gelangen kann. Der in der Substratplatte angeordnete Durchbruch kann beispielsweise mittels Ultraschallbohren in die Substratplatte eingebracht werden. Die Chip-Anordnung ist somit einfach und kostengünstig herstellbar. Da eine Kunststoffmasse zum Eingießen von Bondpads entfallen kann, weist die Chip-Anordnung außerdem besonders kompakte Abmessungen auf.

[0007] Zweckmäßigerweise ist der Trägerchip lösbar mit der Substratplatte verbindbar ist. Der Trägerchip kann dann gegebenenfalls leicht ausgetauscht werden, wenn das Bauelement seine vorgesehene Lebensdauer erreicht hat oder wenn es durch einen Kontakt mit einem zu untersuchenden oder zu behandelnden, chemisch aggressiven Medium, einmal ausfallen sollte.

[0008] Bei einer bevorzugten und besonders vorteilhaften Ausführungsform der Erfindung ist der Trägerchip mit einem den Durchbruch begrenzenden Wandungsbereich der Substratplatte verklebt. Der zwischen dem Trägerchip und der Substratplatte angeordnete Klebstoff dient dann einerseits dazu, den Trägerchip an der Substratplatte zu fixieren und dichtet andererseits aber auch den Durchbruch der Substratplatte gegen den Trägerchip ab, so daß ein an der Vorderseite der Substratplatte im Bereich des elektrischen oder elektronischen Bauelements befindliches Medium nicht an die den Anschlußkontakt aufweisende Rückseite der Substratplatte gelangen kann. Der Klebstoff gleicht außerdem Toleranzen in den Abmessungen des Trägerchips und/oder dem in der Substratplatte befindlichen Wandungsdurchbruch, in den der Trägerchip ein-

gesetzt ist, aus. Die Chip-Anordnung ist dadurch noch einfacher und kostengünstiger herstellbar.

[0009] Zweckmäßigerweise ist der Trägerchip mit seiner Erstreckungsebene rechtwinklig zu einer flachseitigen Oberfläche der Substratplatte angeordnet. Die den Durchbruch begrenzenden Seitenflächen der Substratplatte können dann rechtwinklig zu deren flachseitiger Oberfläche angeordnet sein, was das Einbringen des Durchbruchs in die Substratplatte erleichtert.

[0010] Eine besonders vorteilhafte Ausführungsform der Erfindung sieht vor, daß die das elektrische oder elektronische Bauelement aufweisende Trägerchip-Oberfläche schräg zur flachseitigen Oberfläche der Substratplatte angeordnet ist und mit dieser vorzugsweise einen spitzen Winkel einschließt. Das elektrische oder elektronische Bauelement ist dann in einem durch den Trägerchip und die Substratplatte begrenzten Eckbereich angeordnet, so daß nur Partikel, die eine durch die Abmessungen des Eckbereichs vorgegebene Größe nicht überschreiten, mit dem elektrischen oder elektronischen Bauelement in Kontakt geraten können. Somit ergibt sich ein einfach aufgebauter mechanischer Filter, der das Vordringen größerer Partikel zu dem Bauelement verhindert.

[0011] Eine bevorzugte Ausführungsform der Erfindung sieht vor, daß sich der Querschnitt des das elektrische oder elektronische Bauelement aufweisenden Überstandes ausgehend von der Oberfläche der Substratplatte zu der am weitesten vorstehenden Stelle des Überstandes verjüngt. Der das Bauelement aufweisende Überstand weist also eine Spitze auf. Bei einer Chip-Anordnung, bei der das elektronische Bauelement ein Sensor ist, kann die Substratplatte mit ihrer Flachseite beispielsweise auf eine zu untersuchende Hautschicht aufgelegt werden, wobei der den Sensor aufweisende spitze Überstand mit einer der Höhe des Überstandes entsprechenden definierten Tiefe in die Hautschicht eindringt, so daß dort Meßwerte entnommen werden können. So können zum Beispiel die Glucose-Konzentration, die Feuchtigkeit der Haut, eine Ionenkonzentration, ein Gasgehalt oder dergleichen physiologische Parameter gemessen werden, die Aussagen über die Vitalität der Haut und/oder des dahinter befindlichen Gewebebereiches ermöglichen. Dabei ist es sogar möglich, daß die an der Hautschicht anliegende Substratplatte parallel zur Oberfläche der Hautschicht verschoben wird, so daß der den Sensor aufweisende Überstand parallel zur Oberfläche der Hautschicht durch diese hindurch gezogen wird. Dadurch kann auf einfache Weise entlang einer parallel zur Oberfläche der Hautschicht verlaufenden Linie ein Meßprofil erstellt werden. Selbstverständlich kann die den spitzen Überstand aufweisende Chip-Anordnung aber auch zum Untersuchen oder Behandeln anderer weicher Körper verwendet werden, in die der das elektrische oder elektronische Bauelement aufweisende spitze Vorsprung beim Andrücken der Substratplatte an den Körper eindringen kann.

[0012] Eine vorteilhafte Ausführungsform der Erfindung sieht vor, daß der Trägerchip bei der Montage der Chip-Anordnung in wenigstens zwei unterschiedlichen Lagen in den Durchbruch der Substratplatte einsetzbar ist, daß in einer dieser Lagen wenigstens ein elektrisches oder elektronisches Bauelement an einem eine flachseitige Oberfläche der Substratplatte überragenden Überstand des Trägerchips und der (die) diesem (diesen) Bauelement(en) zugeordnete(n) Anschlußkontakt(e) an dem die andere flachseitige Oberfläche der Substratplatte überragenden Überstand angeordnet ist, und daß in der anderen Lage des Trägerchips das (die) Bauelement(e) und der (die) Anschlußkontakt(e) an demselben, eine flachseitige Oberfläche der Substratplatte überragenden Überstand des Trägerchips angeordnet sind. Dadurch ist es möglich, das Bauelement durch entsprechendes Einsetzen des Trägerchips in die Substratplatte nur für die Dauer einer Messung oder einer Behandlung mit einem an einer flachseitigen Oberflächen der Substratplatte befindlichen Objekt, beispielsweise einem chemisch aggressiven Medium, in Berührung zu bringen, während das Bauelement außerhalb der Meß- oder Behandlungsphase an der dem Objekt abgewandten flachseitigen Oberflächen der Substratplatte angeordnet ist. Das Bauelement kommt also nur vorübergehend mit dem aggressiven Medium in Verbindung, wodurch sich seine Lebensdauer entsprechend verlängert.

[0013] Bei einer besonders vorteilhaften Weiterbildung der Erfindung ist vorgesehen, daß der Trägerchip bei der Montage der Chip-Anordnung in wenigstens zwei unterschiedlichen Lagen in den Durchbruch der Substratplatte einsetzbar ist, daß der Trägerchip wenigstens zwei elektrische oder elektronische Bauelemente aufweist, die jeweils mittels wenigstens einer Leiterbahn mit zumindest einem ihnen jeweils zugeordneten elektrischen Anschlußkontakt verbunden sind, und daß je nach gewählter Lage des Trägerchips jeweils wenigstens eines dieser Bauelemente an einem eine flachseitige Oberfläche der Substratplatte überragenden Überstand des Trägerchips und der (die) diesem (diesen) Bauelement(en) zugeordnete(n) Anschlußkontakt an dem die andere flachseitige Oberfläche der Substratplatte überragenden Überstand angeordnet ist. Dadurch ist je nach gewählter Lage des Trägerchips ein anderes Bauelement oder sogar mehrere andere Bauelemente an dem in Gebrauchsstellung dem zu untersuchenden oder zu behandelnden Objekt zugewandten Überstand des Trägerchips angeordnet. Bei einem Trägerchip mit mehreren gleichen Bauelementen verlängert sich dadurch die Lebensdauer der Chip-Anordnung entsprechend, da ein Bauelement, das beispielsweise durch einen längeren Kontakt mit einem chemisch aggressiven Medium unbrauchbar geworden ist, durch entsprechendes Umsetzen des Trägerchips auf einfache Weise durch ein anderes, funktionsfähiges Bauelement ersetzt werden kann. Der Trägerchip kann aber auch voneinander verschiedene Bauelemente aufwei-

sen. Dadurch ergibt sich ein Bausatz zum Erstellen einer Chip-Anordnung, mit dem je nach gewählter Lage des Trägerchips in den Durchbruch der Substratplatte unterschiedliche Chip-Anordnungen hergestellt werden können. Die elektrischen oder elektronischen Bauelemente können beispielsweise am Umfang des Trägerchips verteilt in dessen flachseitige Oberfläche integriert sein, wobei der Trägerchip in unterschiedlichen Drehlagen in Bezug zu der Normalen auf diese Oberfläche in die Substratplatte einsetzbar ist. Abhängig von der jeweiligen Drehlage des Trägerchips sind dann jeweils andere Bauelemente oder Sensoren an der Vorderseite der Substratplatte angeordnet, während die diesen zugeordneten Anschlußkontakte sich jeweils an der Rückseite der Substratplatte befinden.

[0014] Vorteilhaft ist, wenn auf dem elektrischen oder elektronischen Bauelement eine ionendurchlässige Membran angeordnet ist. Dadurch können Ionen bis an das Bauelement beziehungsweise den Sensor gelangen, während andere Substanzen durch die Membran von dem Sensor ferngehalten werden. Dabei ist es sogar möglich, daß die Membran nur für bestimmte Ionen durchlässig ist, so daß deren Konzentration in einem zu untersuchenden Medium selektiv gemessen werden kann. Zweckmäßigerweise wird die Membran nach dem Einsetzen des Trägerchips in die Substratplatte auf das elektrische oder elektronische Bauelement aufgetragen. Dazu wird das Membranmaterial zunächst in einer flüchtigen Flüssigkeit, beispielsweise in Alkohol oder Aceton gelöst. Die Chip-Anordnung wird so ausgerichtet, daß die das Bauelement aufweisende Oberfläche des Trägerchips schräg zur Horizontalen, insbesondere vertikal verläuft. Dann wird auf die benachbart zu dem Bauelement angeordnete, quer zu der das Bauelement aufweisenden Oberfläche des Trägerchips verlaufende stirnseitige Randfläche des Trägerchips eine geringe Menge der das Membranmaterial enthaltenden Flüssigkeit aufgetragen, derart, daß ein Teil dieser Flüssigkeit schwerkraftbedingt von der stirnseitigen Randfläche des Trägerchips über das an der quer dazu angeordnete Oberfläche des Trägerchips befindliche elektrische oder elektronische Bauelement fließt, so daß sich auf diesem eine dünne Flüssigkeitsschicht bildet. Nach dem Verdunsten dieser Flüssigkeitsschicht verbleibt dann auf dem elektrischen oder elektronischen Bauelement eine Membranschicht, die auf dem Bauelement eine gleichmäßige Dicke aufweist.

[0015] Bei einer vorteilhaften Ausführungsform der Erfindung weist die Substratplatte im Bereich des Meß- oder Wirkraumes des elektrischen oder elektronischen Bauelements wenigstens einen Vorsprung auf, der zusammen mit dem das Bauelement aufweisenden Überstand einen mechanischen Filter bildet. Dabei wird unter einem Wirkraum bei einem eine elektromagnetische Strahlung aussendenden Bauelement der Raum verstanden, in den das Bauelement die Strahlung aussendet. Entsprechend wird bei einem Bauelement, von dem ein elektrisches und/oder magnetisches Feld aus-

geht, der Raum verstanden, in dem dieses Feld wirksam ist. Der mechanische Filter weist also einen mit dem das Bauelement aufweisenden Überstand zusammenwirkenden Vorsprung auf, wobei zwischen dem Bauelement und dem Vorsprung ein Freiraum angeordnet ist, der den Zugang zu dem Bauelement bildet. Dadurch werden Partikel, deren Abmessungen größer sind als diejenigen des Freiraums von dem Meß- oder Wirkraum des Bauelements ferngehalten, während kleinere Partikel in den Meß- oder Wirkraum und gegebenenfalls bis an das Bauelement selbst gelangen können. Der Vorsprung kann auch ein an der Substratplatte befindlicher Absatz oder eine Stufe sein.

[0016] Eine Ausführungsform sieht vor, daß der Vorsprung des mechanischen Filters durch den Überstand eines in einen Durchbruch der Substratplatte eingesetzten Plättchens gebildet ist. Der den Vorsprung kann dann bei der Herstellung der Chip-Anordnung in gleicher Weise an der Substratplatte angebracht werden, wie der das elektrische oder elektronische Bauelement aufweisende Überstand des Trägerchips. Die Chip-Anordnung ist dadurch noch einfacher herstellbar. Gegebenenfalls kann der Vorsprung des mechanischen Filters auch durch den Überstand eines weiteren Trägerchips gebildet sein.

[0017] Zum Filtern kleiner Partikel, beispielsweise solcher mit einem Durchmesser, der kleiner als $1\text{ }\mu\text{m}$ ist, ist es vorteilhaft, wenn an dem Trägerchip ein Körper anliegt, der das elektrische oder elektronische Bauelement überdeckt, daß als Abstandshalter an dem Trägerchip mindestens ein seitlich über die Oberflächenebene des Bauelements vorstehender, an dem Körper anliegender Bereich und/oder an dem Körper ein seitlich über den das Bauelement überdeckenden Oberflächenbereich vorstehender, an dem Trägerchip anliegender Bereich angeordnet ist, derart, daß zwischen dem Bauelement und dem Körper ein den Zugang zu dem Bauelement bildender Freiraum oder Spalt angeordnet ist. Dadurch ist der Körper bei der Montage der Chip-Anordnung einfacher und mit größerer Genauigkeit an dem Trägerchip positionierbar. Der gegenüber dem Bauelement vorstehende Bereich kann mit bekannten Verfahren der Halbleitertechnik, beispielsweise in Maskentechnik mit großer Maßgenauigkeit hergestellt werden, was insbesondere die Realisierung kleiner Spaltmaße bzw. Freiräume zwischen dem Bauelement und dem Körper mit eng tolerierten Abmessungen ermöglicht. Der an dem vorstehende Trägerchip-Bereich anliegende Körper kann einen im wesentlichen ebenen, dem Bauelement zugewandten, parallel zu dessen Oberflächenebene angeordneten und vorzugsweise an dem vorstehenden Trägerchip-Bereich anliegenden Oberflächenbereich aufweisen. Der Körper kann beispielsweise ein zweiter Trägerchip sein, der an dem vorstehenden Bereich des ersten Trägerchips plan anliegt. Die Herstellung des gegenüber dem Bauelement vorstehenden Trägerchip-Bereichs kann beispielsweise in der Weise erfolgen, daß in die Oberfläche

des Trägerchips eine Vertiefung eingätzt wird, in welcher das Bauelement angeordnet wird oder daß an bestimmten Stellen der Oberfläche des Trägerchips wenigstens eine Schicht aufgedampft oder aufgetragen wird.

[0018] Vorteilhaft ist, wenn die das elektrische oder elektronische Bauelement aufweisende Trägerchip-Oberfläche und die dieser zugewandte Oberfläche des im Bereich des Meß- oder Wirkraums des Bauelements angeordneten Vorsprungs in der Oberflächenebene der Substratplatte trichterförmig schräg zueinander verlaufen. Dadurch ergibt sich ein trichterförmiger Kanal, der für ein an der Substratplatte befindliches Medium einen strömungsrichtungsabhängigen Filter bildet.

[0019] Für eine Untersuchung oder Behandlung von biologischen Zellen ist es vorteilhaft, wenn der Abstand zwischen dem elektrischen oder elektronischen Bauelement und dem (den) im Bereich dessen (deren) Meß- oder Wirkraums angeordneten Vorsprung (Vorsprüngen) an den Durchmesser einer biologischen Zelle angepaßt ist und vorzugsweise größer als $4\text{ }\mu\text{m}$ und kleiner als $55\text{ }\mu\text{m}$ ist. Dadurch kann sich eine Zelle zwischen dem das elektrische oder elektronische Bauelement aufweisenden Überstand und dem Vorsprung unmittelbar an dem Bauelement anlagern, während Partikel, deren Abmessungen größer sind als der Zelldurchmesser von dem Bauelement ferngehalten werden.

[0020] Besonders vorteilhaft ist, wenn in die Substratplatte wenigstens zwei Trägerchips eingesetzt sind, wenn einer der Trägerchips zumindest ein als Strahlungs-Emitter ausgebildetes Bauelement und der andere Trägerchip zumindest ein als Empfänger ausgebildetes, dem Strahlungs-Emitter zugeordnetes Bauelement hat und wenn zwischen den Strahlungs-Emitter und dem Empfänger eine Meßstrecke angeordnet ist. Mit einer solchen Chip-Anordnung kann beispielsweise eine Streulicht- oder Durchlichtmessung durchgeführt werden. Dabei können die beiden Trägerchips gegebenenfalls gleichzeitig auch einen mechanischen Filter bilden, so daß nur Partikel bis zu einer bestimmten, durch den Abstand der Trägerchips vorgegebenen Größe in die Meßstrecke gelangen können.

[0021] Vorteilhaft ist, wenn die Substratplatte aus einem elastischen Material besteht, beispielsweise aus amorphem Silizium. Die Substratplatte kann dann in Erstreckungsrichtung mit einer Zugoder Druckkraft beaufschlagt werden, um den Abstand zwischen dem das elektrische oder elektronische Bauelement aufweisenden Überstand des Trägerchips und einem mit diesem einen mechanischen Filter bildenden Vorsprung der Substratplatte zu verändern. Dadurch kann die Filtercharakteristik des mechanischen Filters auf einfache Weise an die Größe der zu untersuchenden oder zu behandelnden Partikel angepaßt werden. Gegebenenfalls kann die Substratplatte auch als biegbare Folie ausgebildet sein. Die Chip-Anordnung ist dann noch besser handhabbar.

[0022] Die Chip-Anordnung kann noch kostengünstiger hergestellt werden, wenn die Substratplatte wenigstens vier in einer Ebene angeordnete Plattenteile aufweist, wenn zueinander benachbarte Plattenteile jeweils an ihren einander zugewandten Randbereichen vorzugsweise durch eine Klebung miteinander verbunden sind, und wenn der Durchbruch durch einen zwischen den Plattenteilen befindlichen Freiraum gebildet ist. Dadurch kann ein teures Bohren des Durchbruchs, beispielsweise mittels Ultraschall oder eines Laserstrahls entfallen. Auch kann an dem den Durchbruch begrenzenden Rand der Substratplatte ein Grat, wie er beispielsweise beim Laserbohren auftreten kann, vermieden werden. Die einzelnen Plattenteile weisen vorzugsweise jeweils gerade Ränder auf und können beispielsweise durch Trennschleifen oder Sägen zugeschnitten werden.

[0023] Besonders vorteilhaft ist, wenn wenigstens zwei erste Plattenteile jeweils zumindest einen geraden Randbereich aufweisen, mit denen sie parallel zueinander und einander zugewandt angeordnet sind, und wenn zwischen den ersten Plattenteilen in Erstreckungsrichtung der geraden Randbereiche durch den Durchbruch voneinander beabstandet zumindest zwei zweite Plattenteile angeordnet sind, die jeweils an ihren parallel zueinander verlaufenden Rändern mit den geraden Randbereichen der ersten Plattenteile insbesondere durch eine Klebung verbunden sind. Die aneinander anliegenden ersten und zweiten Plattenteile können dann vor dem Anbringen der Klebung in Richtung ihrer geraden Randbereiche gegeneinander verschoben werden; wodurch die Länge des in der Substratplatte befindlichen Durchbruchs auf einfache Weise verändert und an die Abmessungen des darin einzusetzenden Trägerchips angepaßt werden kann.

[0024] Zweckmäßigerweise ist der quer zur Trägerchip-Erstreckungsebene angeordnete stirnseitige Endbereich des Trägerchips zumindest im Bereich des das Bauelement aufweisenden Überstands mit einer Isolationschicht abgedeckt. Dadurch wird bei einem Halbleiter-Trägerchip ein Kurzschluß zwischen dem Substrat des Trägerchips und einem in den Trägerchip integrierten elektronischen Bauelement, beispielsweise einem Sensor, vermieden, wenn der das elektronische Bauelement aufweisende Überstand des Trägerchips mit einem elektrisch leitfähigen Medium, zum Beispiel einem Nährmedium für biologische Zellen, in Verbindung gebracht wird.

[0025] An der den Anschlußkontakten zugewandten Rückseite der Substratplatte kann eine Leiterplatte angeordnet sein, die mit den Anschlußkontakten verbundene oder verbindbare Anschlußstellen aufweist. Dadurch ergibt sich ein besonders kompakter Aufbau. Die Leiterplatte kann beispielsweise eine Auswertevorrichtung und/oder eine Steuereinrichtung und/oder eine Stromversorgung für die Chip-Anordnung aufweisen. Diese ist an der Rückseite der Substratplatte vor Berührung mit einem zu untersuchenden Medium geschützt.

[0026] Nachfolgend sind Ausführungsbeispiele der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

- 5 Fig. 1 eine Seitenansicht der Substratplatte mit dem in den Durchbruch eingesetzten Trägerchip,
- Fig. 2 eine Aufsicht auf die Chip-Anordnung gem. Fig. 1;
- Fig. 3 einen Querschnitt durch eine Substratplatte, in die ein Trägerchip eingesetzt ist, der einen an einer Flachseite der Substratplatte vorstehenden, elektronische Bauelemente aufweisenden spitzen Überstand hat,
- Fig. 4 eine Seitenansicht einer Chip-Anordnung, bei der die Erstreckungsebenen der Substratplatte und des Trägerchips gegeneinander geneigt sind,
- Fig. 5 einen Querschnitt durch die in Fig. 4 gezeigte Chip-Anordnung,
- Fig. 6 eine Aufsicht auf der Chip-Anordnung nach Figur 3, mit einer Substratplatte, die mehrere in einer Ebene angeordnete, miteinander verklebte Plattenteile aufweist und
- Fig. 7 eine Chip-Anordnung, in deren Substratplatte zwei Trägerchips angeordnet sind, von denen eines einen optischen Sender und das andere einen diesem zugeordneten Empfänger aufweist.

[0027] Eine im ganzen mit 1 bezeichnete Chip-Anordnung weist eine Substratplatte 2 mit einem Durchbruch 3 auf, in den ein Trägerchip 4 eingesetzt ist. Die Substratplatte 2 kann beispielsweise aus Glas oder einem Halbleitermaterial bestehen. Der Trägerchip 4 weist mehrere als Sensoren ausgebildete elektronische Bauelemente 5 auf, die an einer flachseitigen Oberfläche 6 des Trägerchips 4 mit Methoden der Halbleitertechnik in den Trägerchip 4 integriert sind. Die einzelnen Bauelemente 5 sind jeweils mit einer an der Oberfläche 6 des Trägerchips 4 oder im wesentlichen parallel dazu verlaufenden Leiterbahn 7 mit einem Anschlußkontakt 8 verbunden, an dem eine Auswerte- und Steuereinrichtung anschließbar ist. Wie aus Figur 1 besonders gut erkennbar ist, ist der Trägerchip so in den Durchbruch 3 der Substratplatte 2 eingesetzt, daß er mit seinen Enden die einander abgewandten flachseitigen Oberflächen 9, 9' der Substratplatte 2 überragt und dadurch Überstände 10, 10' bildet, die an den flachseitigen Oberflächen 9, 9' der Substratplatte 2 vorstehen. Dabei sind die Bauelemente 5 an dem einen Überstand 10 und die diesen jeweils zugeordneten elektrischen

Anschlußkontakte 8 an dem anderen Überstand 10' angeordnet.

[0028] Aus Figur 1 ist deutlich erkennbar, daß die die Bauelemente 5 mit den Anschlußkontakten 8 verbindenden Leiterbahnen 7 den Durchbruch 3 der Substratplatte 2 durchsetzen. Der Trägerchip 4 ist mit dem den Durchbruch 3 der Substratplatte 2 begrenzenden Rand der Substratplatte 2 verklebt, wobei der zwischen diesem Rand und dem Trägerchip 4 befindliche Klebstoff den Trägerchip 4 gegen die Substratplatte 2 abdichtet. Somit sind die an der Rückseite der Substratplatte 2 befindlichen Anschlußkontakte 8 gut gegen ein an der den Bauelementen 5 zugewandten Vorderseite der Substratplatte befindliches, mit den als Sensoren ausgebildeten Bauelementen 5 zu untersuchendes Medium, das beispielsweise ein Nährmedium 11 mit darin befindlichen biologischen Zellen sein kann, abgeschirmt. Eine Korrosion an den Anschlußkontakten 8 durch in dem Nährmedium 11 enthaltene Bestandteile, wie beispielsweise Salze oder Ionen, wird dadurch zuverlässig vermieden. Da die Leiterbahnen 7 den Durchbruch 3 der Substratplatte 2 durchsetzen, brauchen bei der Herstellung der Chip-Anordnung zum Verbinden der Bauelemente 5 mit den elektrischen Anschlußkontakten 8 keine Durchkontaktierungen in die Substratplatte 2 eingebracht werden. Die Chip-Anordnung 1 ist dadurch einfach und kostengünstig herstellbar.

[0029] Bei dem Ausführungsbeispiel nach Figur 1 ist der Trägerchip 4 als rechteckiges Plättchen ausgebildet, das mit seiner Chipebene und seinen quer dazu verlaufenden Schmalseitenflächen jeweils rechtwinklig zu den flachseitigen Oberflächen 9, 9' der Substratplatte 2 angeordnet ist. Die den Durchbruch 3 begrenzenden Oberflächen der Substratplatte 2 sind jeweils rechtwinklig zu ihren flachseitigen Oberflächen 9, 9' angeordnet. Dadurch kann der Durchbruch 3 bei der Herstellung der Chip-Anordnung leichter in die Substratplatte 2 eingebracht werden.

[0030] Bei dem Ausführungsbeispiel nach Figur 4 und 5 ist die das Bauelement 5 und den Anschlußkontakt 8 aufweisende Trägerchip-Oberfläche 6 in einer rechtwinklig zu den flachseitigen Oberflächen 9, 9' der Substratplatte 2 verlaufenden Ebene schräg zu diesen Oberflächen 9, 9' angeordnet und schließt mit diesen einen spitzen Winkel α ein. Das Bauelement 5 ist an der flachseitigen Oberfläche 6 des Trägerchips 4 mit Abstand zu den Rändern dieser Oberfläche 6 angeordnet. Der Zutrittsbereich zu dem Bauelement 5 ist also durch den Trägerchip 4 und die Substratplatte 2 begrenzt, wobei der Öffnungswinkel α des Zutrittsbereichs so gewählt ist, daß Partikel, die eine vorgegebene Größe überschreiten von dem Bauelement 5 ferngehalten werden.

[0031] Die in Figur 4 gezeigte Chip-Anordnung 1 kann beispielsweise dazu verwendet werden, um mit dem Trägerchip 4 einen Schweißtropfen 12 an der Hautoberfläche einer zu untersuchenden Person abzustreifen.

Das Bauelement 5 kann beispielsweise ein Glucose-Sensor sein. Die Chip-Anordnung 1 ermöglicht dann auf einfache Weise eine nichtinvasive Messung des Glucosegehalts, was insbesondere für Diabetiker, die mehrmals am Tag ihren Glucosegehalt bestimmen müssen, vorteilhaft ist. Das Bauelement 5 kann aber auch ein Lactat-Sensor sein, der beispielsweise zur Messung der Lactatkonzentration im Schweißtropfen eines Sportlers verwendet werden kann. Dadurch kann auf einfache Weise die Kondition eines Sportlers überprüft werden.

[0032] Das Bauelement 5 kann auch ein Sauerstoffsensor auf Clark-Zellenbasis, ein Stickstoffsensor, ein Sensor zur Messung einer Ionenkonzentration oder ein Thermoelement sein. Es kann aber auch ein Bauelement 5 verwendet werden, das ein elektrisches oder elektromagnetisches Feld aussendet, mit dem eine an der Substratplatte 2 befindliche Zelle beeinflusst oder stimuliert werden kann.

[0033] Die Leiterbahnen 7 sind mit einer elektrisch isolierenden Dünnschicht-Passivierungsschicht 13 abgedeckt, die beispielsweise aus Siliziumoxid bestehen kann. Durch die Passivierungsschicht 13 sind die Leiterbahnen 7 gegen das Nährmedium 11 elektrisch gut isoliert. Außerdem wird durch die Passivierungsschicht 13 eine Korrosion an den Leiterbahnen 7 durch in dem Nährmedium 11 enthaltene Salze oder Ionen verhindert.

[0034] Bei dem Ausführungsbeispiel nach Figur 3 verjüngt sich der Querschnitt des das Bauelement 5 aufweisenden Überstandes 10 ausgehend von der dem Bauelement 5 zugewandten flachseitigen Oberfläche 9 der Substratplatte zu einer an der am weitesten vorstehenden Stelle des Trägerchips 4 befindlichen spitzen Kante hin. Diese ist durch einen an der Oberfläche 9 der Substratplatte 2 vorstehenden Eckbereich des Trägerchips 4 gebildet. Wie aus Figur 3 besonders gut erkennbar ist, weist der als etwa quadratisches Plättchen ausgebildete Trägerchip 4 an diesem Eckbereich zwei in den Trägerchip 4 integrierte elektronische Bauelemente 5 auf, die mittels Leiterbahnen 7 mit Anschlußkontakten 8 verbunden sind, die an dem gegenüberliegenden, an der diesen Bauelementen 5 abgewandten flachseitigen Oberfläche 9 der Substratplatte 2 befindlichen Überstand 10' des Trägerchips 4 angeordnet sind. Der die als Sensoren ausgebildeten Bauelemente 5 aufweisende spitze Überstand 10 des Trägerchips 4 kann in einen zu untersuchenden weichen Körper, beispielsweise eine Hautschicht eingesteckt werden, wobei die flachseitige Oberfläche 9 der Substratplatte 2 als Anschlagfläche für den Körper dient, welche die Einbringtiefe des spitzen Überstands 10 in dem Körper begrenzt. Dadurch ist es möglich, die Bauelemente 5 auf einfache Weise in einer definierten, durch das Überstandmaß des Überstands 10 vorgegebenen Tiefe in dem zu untersuchenden Körper oder Medium zu positionieren.

[0035] Wie aus Figur 3 ersichtlich ist, ist der Träger-

chip 4 bei der Montage der Substratplatte 2 in drei unterschiedlichen Drehlagen bezüglich der Oberflächennormalen auf die Trägerchip-Ebene in den im Querschnitt etwa trapezförmigen Durchbruch 3 der Substratplatte 2 einsetzbar, wobei in den einzelnen Drehlagen jeweils Überstände mit unterschiedlichen Bauelementen 5 an der in Gebrauchsstellung dem Meßobjekt zugewandten flachseitigen Oberfläche 9 der Substratplatte 2 angeordnet sind und diese Bauelemente 5 jeweils mittels den Durchbruch 3 durchsetzender Leiterbahnen 7 mit Anschlußkontakten 8 verbunden sind, die an den gegenüberliegenden, an der dem zu untersuchenden Meßobjekt abgewandten flachseitigen Oberfläche 9' befindlichen Überstand 10' angeordnet sind. Dadurch können je nach Wahl der Lage des Trägerchips 4 unterschiedliche Chip-Anordnungen 1 hergestellt werden. Bei dem Ausführungsbeispiel nach Figur 3 ist der Trägerchip als quadratisches Plättchen ausgebildet. Die Bauelemente 5 und die Anschlußkontakte 8 sind jeweils in einem Eckbereich des Trägerchips 4 angeordnet. In der Chip-Ebene ist der Trägerchip mit seinen die Substratplatte 2 durchsetzenden Rändern schräg zu den flachseitigen Oberflächenebenen 9, 9' der Substratplatte 2 angeordnet. In Fig. 3 ist deutlich erkennbar, daß diese Ränder des Trägerchips 4 jeweils etwa unter einem Winkel von 45° gegenüber den Oberflächenebenen 9, 9' geneigt sind.

[0036] Figur 7 zeigt eine Chip-Anordnung, deren Substratplatte 2 Durchbrüche 3 für zwei einander zugeordnete Trägerchips 4, 4' aufweist, wobei einer der Trägerchips 4 als Bauelement 5 einen optischen Sender und der andere Trägerchip 4 einen optischen Empfänger aufweist. Zwischen dem optischen Sender und dem Empfänger ist eine Meßstrecke gebildet. Die Chip-Anordnung kann beispielsweise zur Durchlichtoder Streulichtmessung und/oder als Lichtschranke verwendet werden.

[0037] Bei dem Ausführungsbeispiel gemäß Figur 7 weist die Substratplatte 2 vier in einer Ebene angeordnete Plattenteile auf, nämlich zwei erste Plattenteile 14 und zwei zweite Plattenteile 15. Die ersten Plattenteile 14 haben jeweils einen geraden Randbereich 16, mit denen sie parallel zueinander und einander zugewandt angeordnet sind. Die zweiten Plattenteile 15 sind in Erstreckungsrichtung der geraden Randbereiche 16 nebeneinander, durch den Durchbruch 3 voneinander beabstandet zwischen den ersten Plattenteilen 14 angeordnet und jeweils an ihren parallel zueinander verlaufenden längsseitigen Rändern mit einem geraden Randbereich 16 eines ersten Plattenteils 14 verklebt. Dadurch ist es möglich, bei der Herstellung der Chip-Anordnung 1 den Trägerchip 4 entlang einer rechtwinklig zur Erstreckungsebene der Substratplatte 2 verlaufenden Geraden zu verschieben, um das Überstandsmaß bzw. die Spitzenhöhe des das Bauelement 5 aufweisenden Überstands 10 einzustellen. Dabei wird wenigstens eines der zweiten Plattenteile 15 in der Plattenebene parallel zu den geraden Randberei-

chen 16 der ersten Plattenteile 14 verschoben, um die Abmessungen des Durchbruchs 3 an die jeweilige Position des Trägerchips 4 anzupassen. Insgesamt ergibt sich somit ein aus den Plattenteilen 14, 15 und dem Trägerchip 4 bestehender Bausatz, mit dem Chip-Anordnungen 1, deren Überstände 10 unterschiedlich weit an der Oberfläche 9 der Substratplatte 2 vorstehen, auf einfache Weise herstellbar sind.

[0038] Bei dem Ausführungsbeispiel nach Figur 4 ist der quer zur Trägerchip-Erstreckungsebene angeordnete stirnseitige Endbereich des Trägerchips 4 im Bereich des das Bauelement 5 aufweisenden Überstands 10 mit einer Isolationsschicht 17 abgedeckt. Dadurch wird ein Stromfluß von dem elektrischen Bauelement 5 über das elektrisch leitfähige Nährmedium 11 in das Substrat der Substratplatte 2 verhindert.

[0039] Insgesamt ergibt sich somit eine Chip-Anordnung 1, die eine Substratplatte 2 hat, die einen Durchbruch 3 aufweist, in den ein Trägerchip 4 eingesetzt ist, der ein elektrisches oder elektronisches Bauelement 5 aufweist. In den Trägerchip 4 ist wenigstens eine Leiterbahn 7 integriert, die das Bauelement 5 mit dem elektrischen Anschlußkontakt 8 verbindet. Der Trägerchip 4 ist derart in den Durchbruch 3 eingesetzt, daß er mit seinen Enden die einander abgewandten flachseitigen Oberflächen 9, 9' der Substratplatte 2 überragt und dadurch Überstände 10, 10' bildet. Dabei ist an dem die eine Oberfläche 9 überragenden Überstand 10 das Bauelement und an dem die andere Oberfläche 9' überragenden Überstand 10' der Anschlußkontakt 8 angeordnet und die das Bauelement 5 und den Anschlußkontakt 8 miteinander verbindende Leiterbahn 7 durchsetzt den Durchbruch 3. Zwischen der Substratplatte 2 und dem Trägerchip 4 ist eine Abdichtung angeordnet.

Patentansprüche

1. Chip-Anordnung (1) mit einer Substratplatte (2), die wenigstens einen Durchbruch (3) aufweist, in den ein Trägerchip (4) eingesetzt ist, der an einer Trägerchip-Oberfläche wenigstens eine integrierte Leiterbahn (7) aufweist, die wenigstens ein elektrisches oder elektronisches Bauelement (5), insbesondere einen Sensor, mit zumindest einem elektrischen Anschlußkontakt (8) verbindet, dadurch gekennzeichnet, daß der Trägerchip (4) derart in den Durchbruch (3) eingesetzt ist, daß er mit seinen Enden die einander abgewandten flachseitigen Oberflächen (9, 9') der Substratplatte (2) überragt und dadurch Überstände (10, 10') bildet, daß an dem die eine Oberfläche (9) überragenden Überstand (10) das Bauelement und an dem die andere Oberfläche (9') überragenden Überstand (10') der Anschlußkontakt (8) angeordnet ist, daß die das Bauelement (5) und den Anschlußkontakt (8) miteinander verbindende Leiterbahn (7) den Durchbruch (3) der Substratplatte (2) durchsetzt,

und daß zwischen der Substratplatte (2) und dem Trägerchip (4) eine Abdichtung vorgesehen ist.

2. Chip-Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß die das elektrische oder elektronische Bauelement (5) aufweisende Trägerchip-Oberfläche schräg zur flachseitigen Oberfläche (9, 9') der Substratplatte (2) angeordnet ist und mit dieser vorzugsweise einen spitzen Winkel einschließt. 5
3. Chip-Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Leiterbahn(en) (7) zumindest im Bereich des das elektrische oder elektronische Bauelement (5) aufweisenden Überstandes (10) mit einer elektrisch isolierenden Dünnschicht-Passivierungsschicht abgedeckt ist (sind). 10 15
4. Chip-Anordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß sich der Querschnitt des das elektrische oder elektronische Bauelement (5) aufweisenden Überstandes (10) ausgehend von der Oberfläche (9) der Substratplatte (2) zu der am weitesten vorstehenden Stelle des Überstandes (10) verjüngt. 20 25
5. Chip-Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der Trägerchip (4) bei der Montage der Chip-Anordnung (1) in wenigstens zwei unterschiedlichen Lagen in den Durchbruch (3) der Substratplatte (2) einsetzbar ist, daß in einer dieser Lagen wenigstens ein elektrisches oder elektronisches Bauelement (5) an einem eine flachseitige Oberfläche der Substratplatte (9) überragenden Überstand (10) des Trägerchips (4) und der (die) diesem (diesen) Bauelement(en) (5) zugeordnete(n) Anschlußkontakt(e) (8) an dem die andere flachseitige Oberfläche (9') der Substratplatte überragenden Überstand (10') angeordnet ist, und daß in der anderen Lage des Trägerchips (4) das (die) Bauelement(e) (5) und der (die) Anschlußkontakt(e) (8) an demselben, eine flachseitige Oberfläche der Substratplatte (9, 9') überragenden Überstand (10, 10') des Trägerchips (4) angeordnet sind. 30 35 40
6. Chip-Anordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Trägerchip (4) bei der Montage der Chip-Anordnung (1) in wenigstens zwei unterschiedlichen Lagen in den Durchbruch (3) der Substratplatte (2) einsetzbar ist, daß der Trägerchip (4) wenigstens zwei elektrische oder elektronische Bauelemente (5) aufweist, die jeweils mittels wenigstens einer Leiterbahn (7) mit zumindest einem ihnen jeweils zugeordneten elektrischen Anschlußkontakt (8) verbunden sind, und daß je nach gewählter Lage des Trägerchips (4) jeweils wenigstens eines dieser Bauelemente (5) an einem eine flachseitige Oberfläche der Substratplatte (9) überragenden Überstand (10) des Trägerchips (4) und der (die) diesem (diesen) Bauelement(en) (5) zugeordnete(n) Anschlußkontakt(e) (8) an dem die andere flachseitige Oberfläche (9') der Substratplatte überragenden Überstand (10') angeordnet ist. 45 50 55
7. Chip-Anordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß an dem Trägerchip (4) ein Körper anliegt, der das elektrische oder elektronische Bauelement (5) überdeckt, daß als Abstandshalter an dem Trägerchip (4) mindestens ein seitlich über die Oberflächenebene des Bauelements (5) vorstehender, an dem Körper anliegender Bereich und/oder an dem Körper ein seitlich über den das Bauelement (5) überdeckenden Oberflächenbereich vorstehender, an dem Trägerchip (4) anliegender Bereich angeordnet ist, derart, daß zwischen dem Bauelement (5) und dem Körper ein den Zugang zu dem Bauelement bildender Freiraum oder Spalt angeordnet ist.
8. Chip-Anordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die das elektrische oder elektronische Bauelement (5) aufweisende Trägerchip-Oberfläche und die dieser zugewandten Oberfläche des im Bereich des Meß- oder Wirkraums des Bauelements (5) angeordneten Vorsprungs in der Oberflächenebene der Substratplatte (2) trichterförmig schräg zueinander verlaufen.
9. Chip-Anordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß in die Substratplatte (2) wenigstens zwei Trägerchips (4) eingesetzt sind, daß einer der Trägerchips (4) zumindest ein als Strahlungs-Emitter ausgebildetes Bauelement (5) und der andere Trägerchip (4) zumindest ein als Empfänger ausgebildetes, dem Strahlungs-Emitter zugeordnetes Bauelement (5) hat und daß zwischen dem Strahlungs-Emitter und dem Empfänger eine Meßstrecke angeordnet ist.
10. Chip-Anordnung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß das elektrische oder elektronische Bauelement (5) mit einer in den Trägerchip (4) integrierten Auswerte- und oder Steuereinheit verbunden ist.

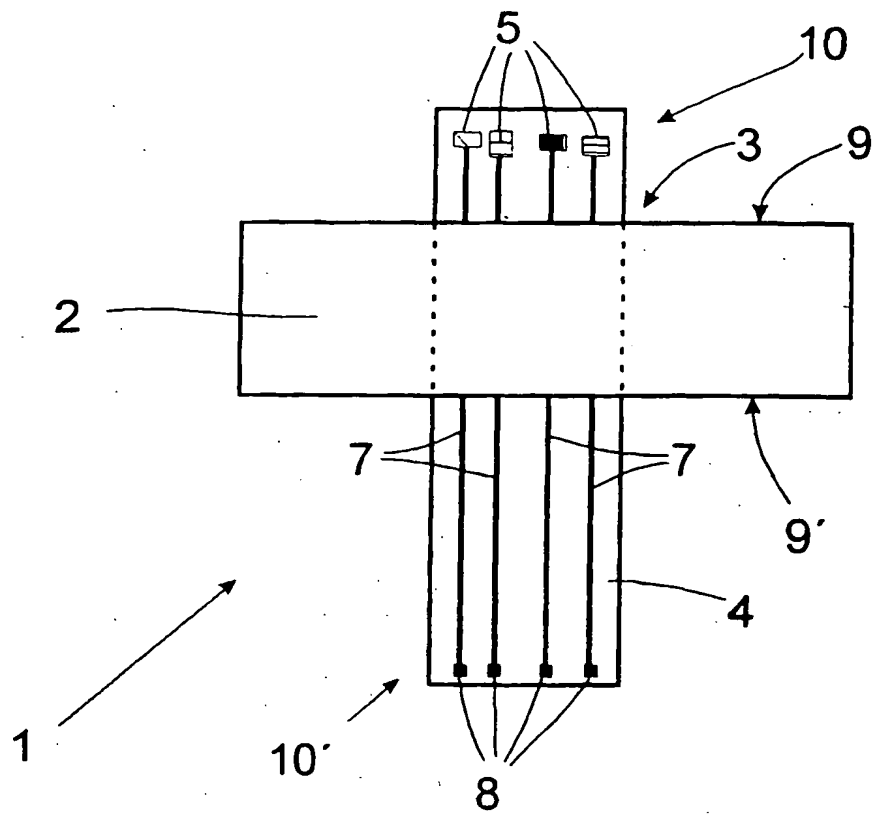


Fig. 1

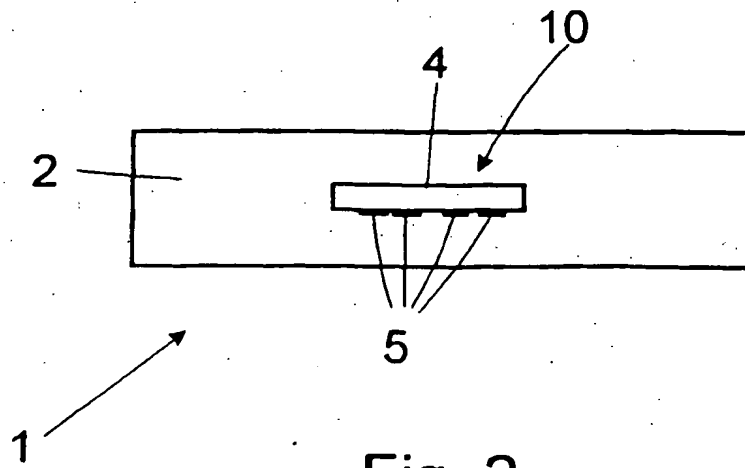


Fig. 2

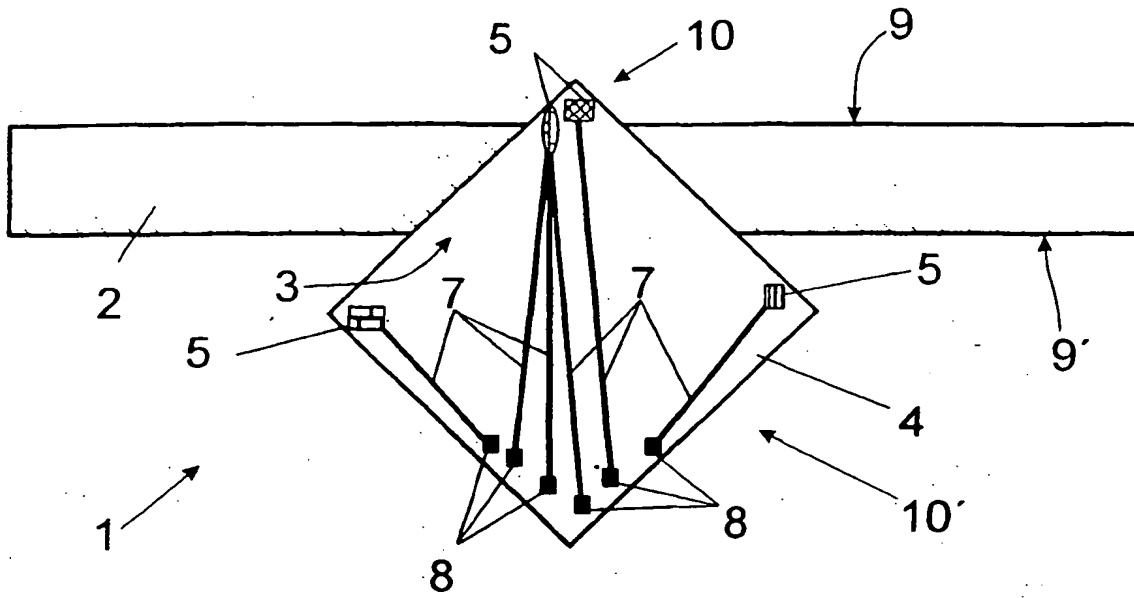


Fig. 3

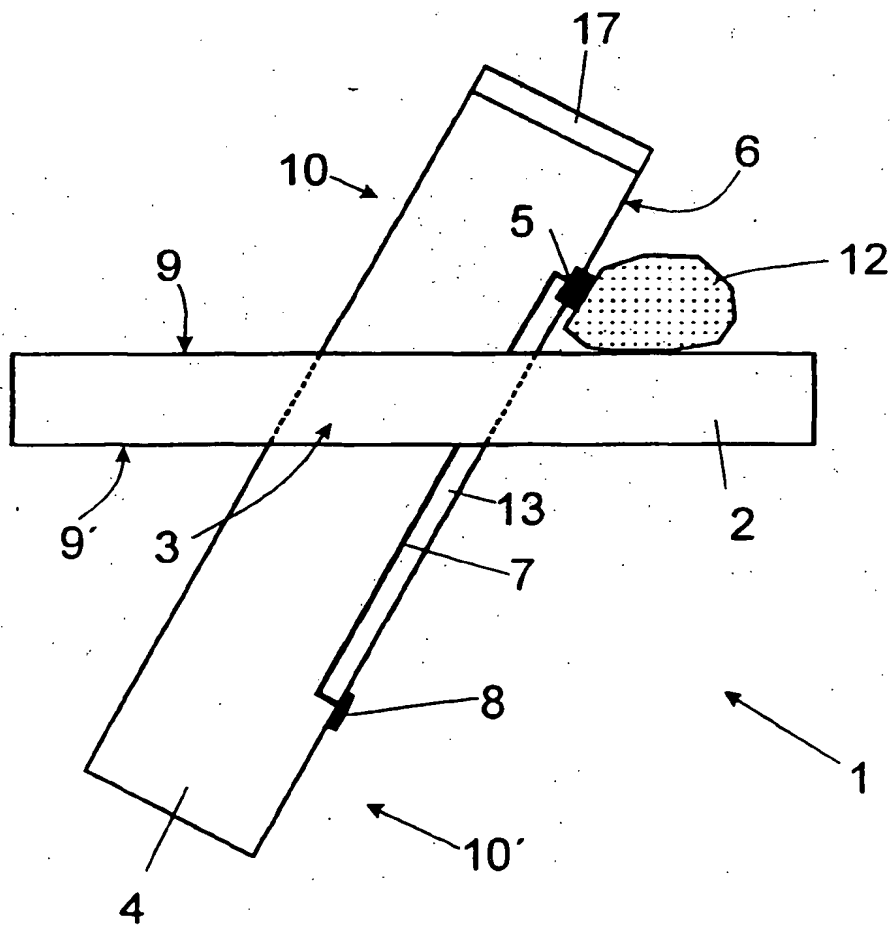


Fig. 4

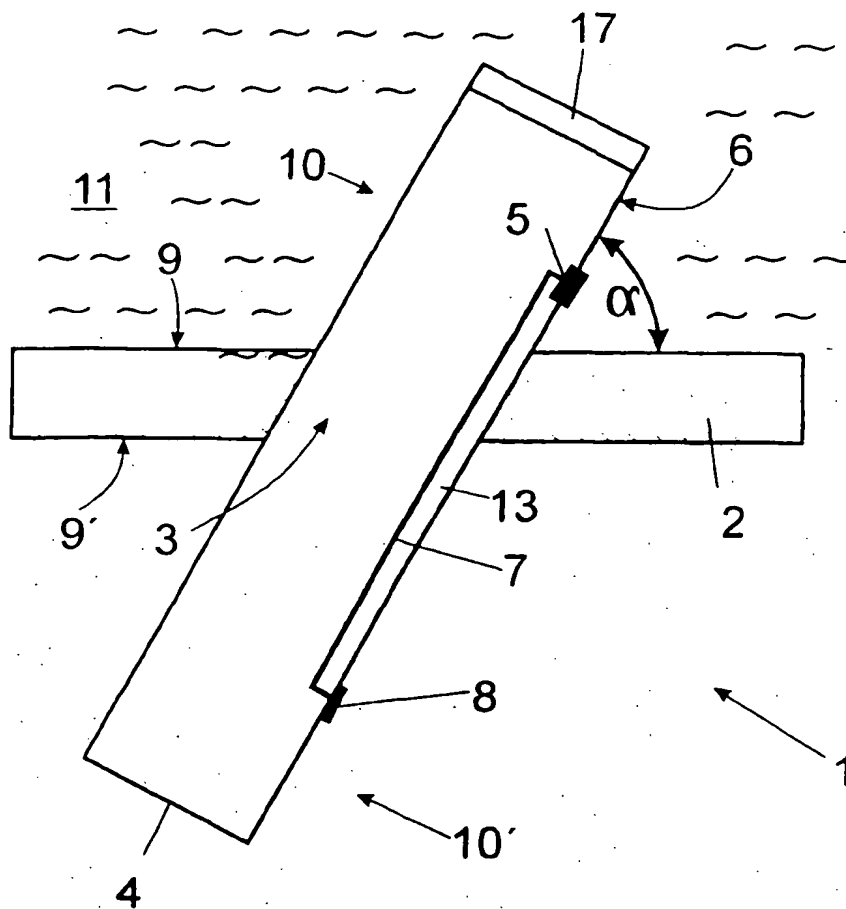


Fig. 5

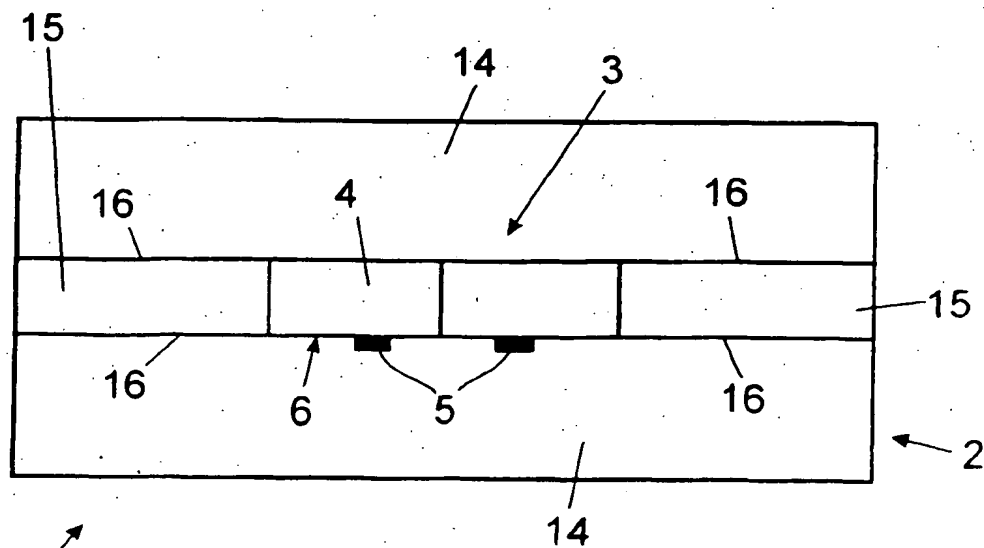


Fig. 6

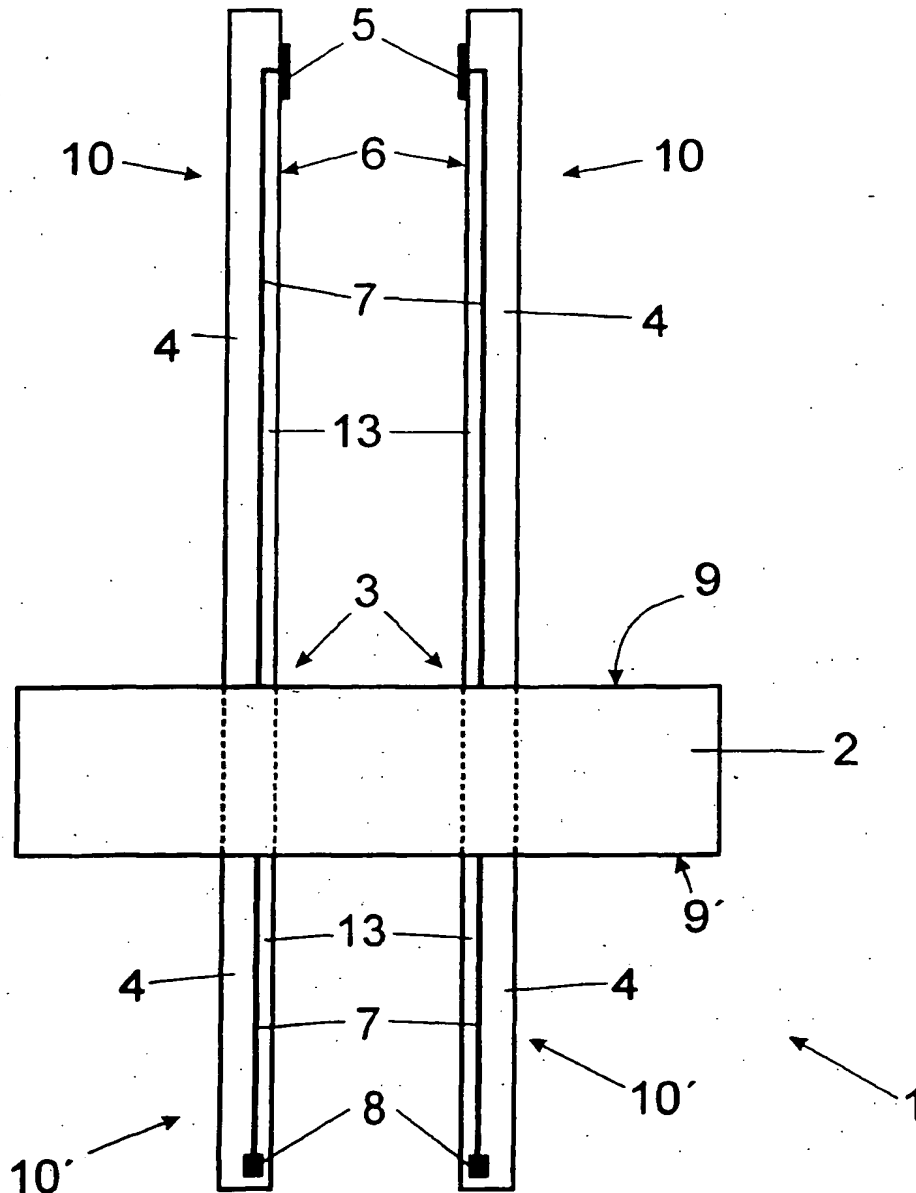


Fig. 7

THIS PAGE BLANK (USPTO)